

PAT-NO: JP02001230375A
DOCUMENT-IDENTIFIER: JP 2001230375 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: August 24, 2001

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|-----------------|---------|
| FUJII, HIROMOTO | N/A |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|----------|---------|
| NEC CORP | N/A |

APPL-NO: JP2000034820

APPL-DATE: February 14, 2000

INT-CL (IPC): H01L027/04, H01L021/822 , H01F017/00 , H01F027/36 ,
H01L021/3205
 , H01L021/8234 , H01L027/06 , H04B015/00 , H05K009/00

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the occurrence of noise in a substrate by shielding the boundary between an inductor and a substrate, and also to suppress the drop of Q value caused by the eddy current in a shield pattern.

SOLUTION: An inductor is made of the second metallic wiring 14b in vortex form, and right below it, a polysilicon 5b where a metallic silicide 8b is made is provided across the first and second interlayer insulating films 9 and 12, and the polysilicon 5b is provided with a cut 15, constituting a first shield pattern. A protuberant metallic silicide 8d in the shape conforming to the cut 15 is provided on the surface of a p-type silicon substrate 1,

constituting a
second shield pattern. The inductor and the substrate are roughly
completely
shielded by the first and second shield patterns, and at the same
time, this
semiconductor device can suppress the occurrence of an eddy current
by the cut
of the first shield pattern, too.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230375

(P2001-230375A)

(43) 公開日 平成13年8月24日 (2001.8.24)

| (51) Int.Cl. ⁷ | 識別記号 | F I | サーチコード* (参考) |
|---------------------------|---------|---------------|--------------|
| H 0 1 L | 27/04 | H 0 1 F 17/00 | B 5 E 0 5 8 |
| | 21/822 | 27/36 | B 5 E 0 7 0 |
| H 0 1 F | 17/00 | H 0 4 B 15/00 | 5 E 3 2 1 |
| | 27/36 | H 0 5 K 9/00 | Q 5 F 0 3 3 |
| H 0 1 L | 21/3205 | H 0 1 L 27/04 | L 5 F 0 3 8 |

審査請求 有 請求項の数16 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-34820 (P2000-34820)

(22) 出願日 平成12年2月14日 (2000.2.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤井 宏基

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

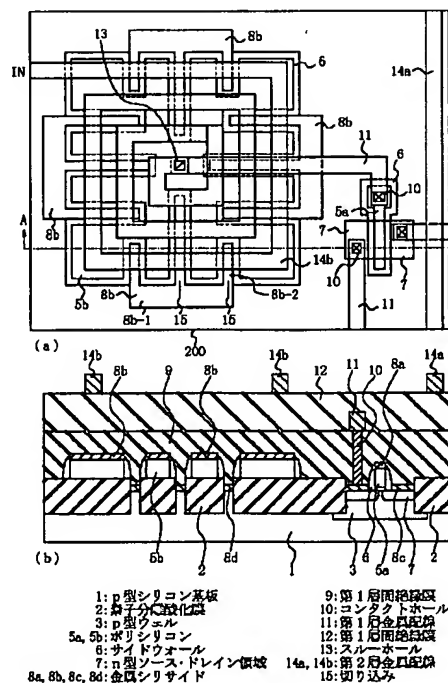
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 インダクタと基板との間をシールドして基板でのノイズ発生を防止するとともにシールドパターンでの渦電流の発生によるQ値の低下を抑制する。

【解決手段】 インダクタは渦巻き形状の第2層金属配線14bで形成され、その直下には、第1および第2層間絶縁膜9、12を挟んで、金属シリサイド8bが形成されたポリシリコン5bが設けられ、ポリシリコン5bには切り込み15が設けられて第1のシールドパターンを構成している。p型シリコン基板1の表面には、切り込み15と整合した形状で凸型形状の金属シリサイド8-dが設けられて第2のシールドパターンを構成している。第1、第2のシールドパターンによりインダクタと基板とはほぼ完全にシールドされ、同時に第1のシールドパターンの切り込みにより渦電流の発生をも抑制することができる。



- 1: p型シリコン基板
2: 酸化シリコン膜
3: p型ウェル
5a, 5b: ポリシリコン
8: サイドウォール
7: n型ソース・ドレイン領域
8a, 8b, 8c, 8d: 金属シリサイド
9: 第1層間絶縁膜
10: コンタクトホール
11: 第1層金属配線
12: 第1層間絶縁膜
13: スルーホール
14a, 14b: 第2層金属配線
15: 切り込み

【特許請求の範囲】

【請求項1】 半導体基板にMOSトランジスタを含む能動素子とインダクタとが混在する回路が組み込まれた半導体装置において、

前記インダクタと前記インダクタ直下の前記半導体基板表面との間に設けられ前記半導体基板表面から第1の絶縁膜で絶縁され前記インダクタから第2の絶縁膜で絶縁され外縁部側面から内側に向かって複数の凹型切り込みを有する導電膜からなる第1のシールドパターンと、前記切り込みに整合して前記半導体基板表面に設けられ金属シリサイドが形成された凸型領域と前記半導体基板表面に設けられ前記金属シリサイドが形成され複数の前記凸型領域を接続する接続領域とを有する第2のシールドパターンとを備えることを特徴とする半導体装置。

【請求項2】 前記インダクタが、渦巻き形状に配置された金属配線からなる請求項1記載の半導体装置。

【請求項3】 前記第1の絶縁膜が、MOSトランジスタ間の寄生トランジスタ動作防止用の素子分離絶縁膜である請求項1または2記載の半導体装置。

【請求項4】 前記第1の絶縁膜が、MOSトランジスタのゲート絶縁膜である請求項1または2記載の半導体装置。

【請求項5】 前記第2のシールドパターンの下部の半導体基板表面が、p型である請求項1、2、3または4記載の半導体装置。

【請求項6】 前記第2のシールドパターンの下部の半導体基板表面が、n型である請求項1、2、3または4記載の半導体装置。

【請求項7】 前記第1のシールドパターンと前記第2のシールドパターンとが、接地端子に接続された請求項1、2、3、4、5または6記載の半導体装置。

【請求項8】 前記第1のシールドパターンの一部分と前記第2のシールドパターンの隣接部分とに跨がってコンタクトホールを設けた請求項1、2、3、4、5または6記載の半導体装置。

【請求項9】 半導体基板にMOSトランジスタを含む能動素子とインダクタとが混在する回路が組み込まれた半導体装置において、

前記インダクタ直下の前記半導体基板表面に設けられ外縁部側面から内側に向かって複数の凹型切り込みを有する金属シリサイドからなる第1のシールドパターンと、前記インダクタと前記半導体基板表面との間に設けられ前記半導体基板表面から第1の絶縁膜で絶縁され前記インダクタから第2の絶縁膜で絶縁され前記切り込みに整合して前記半導体基板表面に設けられた凸型の導電膜と前記導電膜からなり複数の前記凸型導電膜を接続する接続領域とを有する第2のシールドパターンとを備えることを特徴とする半導体装置。

【請求項10】 前記インダクタが、渦巻き形状に配置された金属配線からなる請求項9記載の半導体装置。

【請求項11】 前記第1の絶縁膜が、MOSトランジスタ間の寄生トランジスタ動作防止用の素子分離絶縁膜である請求項9または10記載の半導体装置。

【請求項12】 前記第1の絶縁膜が、MOSトランジスタのゲート絶縁膜である請求項9または10記載の半導体装置。

【請求項13】 前記第1のシールドパターンの下部の半導体基板表面が、p型である請求項9、10、11または12記載の半導体装置。

【請求項14】 前記第1のシールドパターンの下部の半導体基板表面が、n型である請求項9、10、11または12記載の半導体装置。

【請求項15】 前記第1のシールドパターンと前記第2のシールドパターンとが、接地端子に接続された請求項9、10、11、12、13または14記載の半導体装置。

【請求項16】 前記第1のシールドパターンの一部分と前記第2のシールドパターンの隣接部分とに跨がってコンタクトホールを設けた請求項9、10、11、12、13または14記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、MOSトランジスタとインダクタとを搭載した半導体装置に関する。

【0002】

【従来の技術】高周波回路用の半導体装置では、基板の発生するノイズを減少させることにより、高周波回路全体の雑音特性を向上させることが重要な要素の一つとなっている。特に、インダクタは他の回路素子と比べて大きな基板面積を占有するので、インダクタを構成する配線層パターンとその直下の基板とのカップリングにより基板に高周波電流が流れて基板の抵抗分によって基板中にノイズを発生し、高周波回路の特性に悪影響を及ぼす。カップリングによるノイズ発生を抑制するために、インダクタパターンとシリコン基板との間に金属シリサイド層からなる導電層を設け、金属配線を介して接地してシールドする方法が用いられるが、金属シリサイド層に渦電流が発生するために、インダクタのクオリティファクターQが低下するという問題が生じる。

【0003】これを解決する従来例として、金属シリサイド層に切り込みを設けることにより渦電流の減少を図るインダクタの構造が、「1997 Symposium on VLSI Circuits Digest of Technical Papers, pp.85-86」に記載されている。図10(a)は、この従来例の平面図であり、(b)はAA断面に沿った断面図である。以下、図10(a)、(b)を参照して従来例について説明する。

【0004】半導体装置100では、インダクタは、渦巻き形状のインダクタパターンの第2層金属配線114

bで形成され、その直下には、第1層間絶縁膜109および第2層間絶縁膜112を挟んで、表面にチタン、コバルトまたはニッケルなどの金属の金属シリサイド108bが形成されたポリシリコン105bが設けられている。また、ポリシリコン105bには外縁部側面から内部へ向かって凹型の切り込み115が設けられている。インダクタの一端は、スルーホール113、第1層金属配線111およびコンタクトホール110を介してNチャネルMOSトランジスタのゲート電極を構成するポリシリコン105aに接続されている。図中、101はp型シリコン基板、102は素子分離酸化膜、103はp型ウェル、106は絶縁膜のサイドウォール、107はn型ソース・ドレイン領域、108cは金属シリサイド、114aは第2層金属配線を示す。

【0005】従来例の構造の特徴をより明瞭にするために、図11に金属シリサイド108a、108b、108cが形成された段階での平面図を示す。図11において、ゲート電極のポリシリコン105a上の金属シリサイド108aとインダクタパターン直下のポリシリコン105b上の金属シリサイド108bとは、いずれもポリシリコン上に形成された金属シリサイドであるので共通に左下がりのハッチングを付し、nチャネルMOSトランジスタのn型ソース・ドレイン領域107上すなわち基板のシリコン表面に形成された金属シリサイド108cには右下がりのハッチングを付して区別している。

【0006】この構造によれば、インダクタパターン直下のポリシリコン105b上の金属シリサイド層108bは接地されるので、p型シリコン基板101に発生するノイズをかなりの程度において低減することができ、同時にインダクタパターン直下のポリシリコン105bおよび金属シリサイド層108bに切り込み115が設けられているために渦電流の発生をもかなりの程度において抑制することが可能である。

【0007】

【発明が解決しようとする課題】しかしながら、この従来例では、ポリシリコン105bの切り込み115の領域がシールドされないため、この部分からp型シリコン基板101に高周波電流が流れてしまうことが防止できず、渦電流の抑制を完全にするためにより多数の切り込み115を設けるにつれて、シールド性は逆に低下してしまうという背反的な問題点があった。

【0008】本発明の目的は、インダクタと基板との間のシールド性向上と渦電流の抑制を両立して上記の背反的な問題点を解決し、基板ノイズの発生がより低減でき、渦電流によるインダクタのクオリティファクターQの低下をより小さく抑えることのできる半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の第1の発明の半導体装置は、半導体基板にMOSトランジスタを含む能

動素子とインダクタとが混在する回路が組み込まれた半導体装置において、前記インダクタと前記インダクタ直下の前記半導体基板表面との間に設けられ前記半導体基板表面から第1の絶縁膜で絶縁され前記インダクタから第2の絶縁膜で絶縁され外縁部側面から内側に向かって複数の凹型切り込みを有する導電膜からなる第1のシールドパターンと、前記切り込みに整合して前記半導体基板表面に設けられ金属シリサイドが形成された凸型領域と前記半導体基板表面に設けられ前記金属シリサイドが形成され複数の前記凸型領域を接続する接続領域とを有する第2のシールドパターンとを備えている。

【0010】また、第2の発明の半導体装置は、半導体基板にMOSトランジスタを含む能動素子とインダクタとが混在する回路が組み込まれた半導体装置において、前記インダクタ直下の前記半導体基板表面に設けられ外縁部側面から内側に向かって複数の凹型切り込みを有する金属シリサイドからなる第1のシールドパターンと、前記インダクタと前記半導体基板表面との間に設けられ前記半導体基板表面から第1の絶縁膜で絶縁され前記インダクタから第2の絶縁膜で絶縁され前記切り込みに整合して前記半導体基板表面に設けられた凸型の導電膜と前記導電膜からなり複数の前記凸型導電膜を接続する接続領域とを有する第2のシールドパターンとを備えている。

【0011】

【発明の実施の形態】次に、本発明について詳細に説明する。本発明の第1の実施の形態の半導体装置は、インダクタとインダクタ直下のシリコン基板表面との間にシリコン基板表面から第1の絶縁膜で絶縁されインダクタから第2の絶縁膜で絶縁され内側に向かって複数の凹型切り込みを有する導電膜からなる第1のシールドパターンと、シリコン基板表面に設けられて凹型切り込みに整合して金属シリサイドが形成された凸型領域と複数の凸型領域を接続する接続領域とを有する第2のシールドパターンとを備える。図1は、本発明の第1の実施の形態の一実施例の図であり、(a)は平面図で、(b)はA-Aに沿った断面図である。

【0012】半導体装置200において、インダクタは渦巻き形状の第2層金属配線14bで形成され、その直下には、第2の絶縁膜であるところの第1および第2層間絶縁膜9、12を挟んで、表面にチタン、コバルトまたはニッケルなどの金属の金属シリサイド8bが形成されたポリシリコン5bが導電膜として設けられている。ポリシリコン5bには凹部となる切り込み15が設けられて第1のシールドパターンを構成している。ポリシリコン5bは第1の絶縁膜であるところの素子分離酸化膜2によりp型シリコン基板1と絶縁されており、ポリシリコン5bからはほぼサイドウォール6の厚さ程度外側に整合して、素子分離酸化膜2の切り込みが形成されている。

【0013】p型シリコン基板1の表面には、切り込み15と整合した形状で凸型形状の金属シリサイド8d-1と複数の凸型形状金属シリサイド8d-1間を接続する金属シリサイドの接続領域8d-2を含む金属シリサイド8dが設けられて第2のシールドパターンを構成している。

【0014】金属シリサイド8bの第1のシールドパターンと金属シリサイド8dの第2のシールドパターンはいずれも図示していない接地端子に接続される。インダクタの第2層金属配線14bとp型シリコン基板1との間には第1のシールドパターンと第2のシールドパターンのいずれかが存在するので、渦電流によるクオリティファクターの低下を防止するために切り込みを多数設けた場合においても、インダクタの第2層金属配線14bとp型シリコン基板1とのカップリングによる基板ノイズの発生はほぼ完全に防止できる。

【0015】インダクタの一端は、スルーホール13、第1層金属配線11およびコンタクトホール10を介してNチャネルMOSトランジスタのゲート電極を構成するポリシリコン5aに接続されている。図中、2はnチャネルMOSトランジスタのn型ソース・ドレイン領域7と図示していない他のMOSトランジスタのソース・ドレイン領域とを電気的に分離する素子分離酸化膜、3はp型ウェル、6は絶縁膜のサイドウォール、8aはMOSトランジスタのゲート電極のポリシリコン5aの表面に形成された金属シリサイド、8cはソース・ドレイン領域表面に形成された金属シリサイド、14aは第2層金属配線を示す。

【0016】図2(a)～(d)は、本実施例の半導体装置を製造する工程順の断面図である。まず、p型シリコン基板1の表面に素子分離酸化膜2を200～500nmの厚さに選択的に形成する。このとき、インダクタ形成領域の切り込み形成予定領域15aには素子分離酸化膜2を形成しない(図2(a))。

【0017】次に、pウェル3を形成した後、2～10nmのゲート酸化膜4、100～400nmのポリシリコンを順次成長させ、レジストマスクを用いてゲート電極のポリシリコン5aを形成する。このとき、同時にインダクタ配線形成領域の基板上に切り込み15を設けたポリシリコン5bを同時に形成する。ポリシリコンのパターン形成後サイドウォール用絶縁膜201を成長させる(図2(b))。

【0018】次に、サイドウォール用絶縁膜201をエッチバックしてサイドウォール6を形成した後、n型のソース・ドレイン領域7(および図示していないPチャネルMOSトランジスタのp型のソース・ドレイン領域)をイオン注入法により形成し、RTA(ラビッドサーマルアニーリング)法により、1000～1100℃で10～60秒の熱処理を加え、ソース・ドレイン領域7の不純物を活性化させる。その後、金属シリサイド形

成予定領域のシリコン表面およびポリシリコン表面を露出させ、例えばコバルトを被着し熱処理して、MOSトランジスタのゲート部のポリシリコン5a、n型ソース・ドレイン領域7、インダクタ配線形成予定領域のポリシリコン5bおよび切り込み15の領域のp型シリコン基板1表面にそれぞれ金属シリサイド8a、8c、8b、8dを形成する(図2(c))。

【0019】その後、800～1200nmの厚さに第1層間絶縁膜9を成長させ(図2(d))、レジストマスクを用いて必要箇所にコンタクトホール10を形成する。コンタクトホール10にタングステン等の金属膜を埋め込んだ後、アルミ等の金属膜を400～800nmの厚さに成長させ、レジストマスクを用いて第1層金属配線11を形成する。さらに、800～1200nmの厚さに第2層間絶縁膜12を成長し、レジストマスクを用いて必要箇所にスルーホール13を形成する。スルーホール13にタングステン等の金属膜を埋め込んだ後、アルミ等の金属膜を400～800nmの厚さに成長させ、レジストマスクを用いて第2層金属配線のインダクタ配線14bおよび第2層金属配線の接続用配線14aを形成して第1図(b)を得る。

【0020】図3(a)は、図2(c)の段階での平面図である。図3(a)では、ゲート電極のポリシリコン5a上の金属シリサイド8aとインダクタパターン直下のポリシリコン5b上の第1のシールドパターンを構成する金属シリサイド8bとは、いずれもポリシリコン上に形成された金属シリサイドであるので共通に左下がりのハッチングを付し、NチャネルMOSトランジスタのn型ソース・ドレイン領域7上に形成された金属シリサイド8cと切り込み15に整合した凸型領域のp型シリコン基板表面を含む領域に形成されて第2のシールドパターンを構成する金属シリサイド8dとは、いずれも基板のシリコン表面に形成された金属シリサイドであるので共通に右下がりのハッチングを付して区別している。金属シリサイド8b、8dは図示しない接地端子を介して接地される。

【0021】図3(b)は、図1(a)の平面図から第1層金属配線11、第2層金属配線14aおよび14b、コンタクトホール10、スルーホール13を選択的に示した図である。インダクタは第2層金属配線14bで示すごとく、渦巻き形状に形成される。

【0022】本実施の形態では、第1のシールドパターンを構成するポリシリコン5b表面に形成された金属シリサイド層8bでカバーされている領域だけでなく、第1のシールドパターンに設けられた切り込み15の領域までもが、第2のシールドパターンを構成するシリサイド層8dによってシールドされるため、インダクタとシリコン基板とのカップリングがほぼ完全に遮断されるので、基板でのノイズ発生を効果的に抑制することができるとともに、第1のシールドパターンを構成する金属シ

リサイド層8bと第2のシールドパターンを構成する切り込み15の領域の金属シリサイド層8dとが少なくともサイドウォール6により分離されるので、渦電流の発生を抑制してインダクタのクオリティファクターQの向上をも両立することができる。

【0023】図4(a)は、第2の実施例の平面図であり、(b)は、AAに沿った断面図である。本実施例においては、インダクタ直下のポリシリコン5bとp型シリコン基板1との間の第1の絶縁膜としてMOSトランジスタのゲート酸化膜4を用いる点が、図1の第1の実施例とは異なっている。本実施例においても第1の実施例と同様に、インダクタの第2層金属配線14bとp型シリコン基板1との間には第1のシールドパターンと第2のシールドパターンのいずれかが存在するので、渦電流抑制のために切り込みを多数設けた場合においても、インダクタの第2層金属配線14bとp型シリコン基板1とのカップリングをほぼ完全に防止できる。また、本実施例の構造では、金属シリサイド8bと金属シリサイド8dとを自己整合的に形成できるので、第1の実施例よりも容易に精度よく整合させることができる。

【0024】図5(a)～(c)は第2の実施例の製造工程順の断面図である。図2(a)～(C)とはインダクタ形成領域の構造が異なるが、製造工程としては同一である。

【0025】図5(a)は、図2(a)と同じく素子分離酸化膜2形成後の断面図であり、インダクタ形成領域に素子分離酸化膜を形成しない点が図2(a)とは異なる。

【0026】図5(b)は、図2(b)と同じくサイドウォール用絶縁膜201を成長後の断面図であり、インダクタ形成領域のポリシリコン5bがゲート酸化膜4上に設置されている点が図2(b)とは異なる。

【0027】図5(c)は、図2(c)と同じく金属シリサイド形成後の断面図である。トランジスタ部の金属シリサイド8a、8cが自己整合的に形成されると同様に、インダクタ形成領域においてもポリシリコン5b上に形成される金属シリサイド8bとp型シリコン基板1の表面に形成される金属シリサイド8dとはサイドウォール6の間隔だけ離れて自己整合的に整合して形成される点が図2(c)とは異なる。

【0028】図6(a)、(b)は第3、第4の実施例の図である。図6(a)のように、インダクタ直下の金属シリサイド8dをnチャネルMOSトランジスタのn型ソース・ドレイン領域7と同様なn型領域7aの表面に形成してもよく、またp型ウェル3aを省いてもよい。また、図6(b)のように、金属シリサイド8dを図示していないpチャネルMOSトランジスタのp型ソースドレインと同様なp型領域202の表面に形成してもよい。

【0029】図7(a)は、第5の実施例の平面図であ

り、(b)は、AAに沿った断面図である。また、図8は、インダクタ形成まで行った段階での断面図である。本実施例では、第1のシールドパターンを構成するポリシリコン5b表面の金属シリサイド層8bと第2のシールドパターンを構成するp半導体基板1表面の金属シリサイド層8dとの跨ってコンタクトホール10aを設けている。図7(b)のようにコンタクト開口部204を設けた後に、MOSトランジスタのコンタクトホール10にタングステン等の金属を埋め込むときに同時にコンタクトホール10aをも埋め込んで第1のシールドパターンと第2のシールドパターンとを接続する。本実施例では第1のシールドパターンまたは第2のシールドパターンのいずれかを接地端子に接続すればよいので、配線を削減することができる。

【0030】次に、本発明の第2の実施の形態について説明する。本実施の形態の半導体装置は、インダクタ直下のシリコン基板表面に設けられ内側に向かって複数の凹型切り込みを有する金属シリサイドからなる第1のシールドパターンと、インダクタとシリコン基板表面との間に設けられてシリコン基板表面から第1の絶縁膜で絶縁されインダクタから第2の絶縁膜で絶縁されており、第1のシールドパターンの凹型切り込みに整合して設けられた凸型の導電膜と複数の凸型導電膜を接続する接続導電膜とを有する第2のシールドパターンとを備える。

【0031】図9(a)は、本発明の第2の実施の形態の一実施例の金属シリサイド形成完了段階の平面図であり、第1の実施の形態における図3に対応する。図9(b)は、インダクタを含む第2層金属配線までの形成が完了した時点での断面図であり、図1(b)に対応する。図9(a)では、図3と同様にポリシリコンの表面に形成された金属シリサイド8a、8bに右下がりの斜線を付し、シリコン基板の表面に形成された金属シリサイド8c、8dに左下がりの斜線を付している。

【0032】本実施例では、凹型の切り込み203を有する第1のシールドパターンがp型シリコン基板1の表面に形成された金属シリサイド8dで構成されていて、凹型の切り込みに整合した凸部8b-1と接続領域8b-2とを有する第2のシールドパターンがポリシリコン5b表面に形成された金属シリサイド8bである点のみが図1(b)および図3の実施例とは異なっている。

【0033】凹型の切り込みを有する第1のシールドパターンは、凸型部を有する第2のシールドパターンよりも通常大きな面積を占めるので、本実施例のように大面積の第1のシールドパターンをシリコン基板表面に形成することにより、インダクタと第1および第2のシールドパターンとの間のトータルの寄生容量を低減することができ、インダクタの共振周波数を大きくできるという効果がある。

【0034】本実施の形態においても、第1の実施の形態と同様に、図4のようにポリシリコン膜の下部の第1

の絶縁膜として図9(b)における素子分離酸化膜2に換えてゲート酸化膜を用いてもよく、また第1のシールドパターンの下部すなわち金属シリサイド8dが形成されるシリコン基板表面が図6(a)のようにn型であっても、図6(b)のようにp型であってもよいことはいうまでもない。また、図7のように第1のシールドパターンを構成する金属シリサイド8dと第2のシールドパターンを構成する金属シリサイド層8bとを跨るコンタクトホールを形成し、タングステンなどの金属膜を埋め込んで接続することにより、接地端子への配線本数を削減できることも同様である。

【0035】

【発明の効果】以上に述べたように、本発明の第1の発明では、第1および第2のシールドパターンによりインダクタとシリコン基板とのカップリングがほぼ完全に遮断することができるので、基板におけるノイズの発生を効果的に抑制することができるとともに、第1のシールドパターンを構成する金属シリサイド層と第2のシールドパターンを構成する切り込みの領域の金属シリサイド層とが絶縁膜のサイドウォールにより分離されるので、渦電流の発生を抑制してインダクタのクオリティファクターQの向上をも両立することができる。

【0036】また、本発明の第2の発明を適用することにより、上記の効果に加えて、インダクタと第1および第2のシールドパターンとの間のトータルの寄生容量を低減することができ、インダクタの共振周波数を大きくできるという効果が生じる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の一実施例の図であり、(a)は平面図で、(b)はAAに沿った断面図である。

【図2】(a)～(d)は、本実施例の半導体装置を製造する工程順の断面図である。

【図3】(a)は、図2(c)の工程での平面図であり、(b)は、図1(a)の平面図から第1層金属配線11、第2層金属配線14aおよび14b、コンタクトホール10、スルーホール13を選択的に示した図であ

る。

【図4】(a)は、第2の実施例の平面図であり、(b)は、AAに沿った断面図である。

【図5】(a)～(c)は第2の実施例の製造工程順の断面図である。

【図6】(a)は、第3の実施例の図であり、(b)は、第4の実施例の図である。

【図7】(a)は、第5の実施例の平面図であり、(b)は、AAに沿った断面図である。

【図8】第5の実施例の断面図である。

【図9】(a)は、本発明の第2の実施の形態の一実施例の金属シリサイド形成完了時点の平面図であり、(b)は、インダクタを含む第2層金属配線までの形成が完了した段階での断面図である。

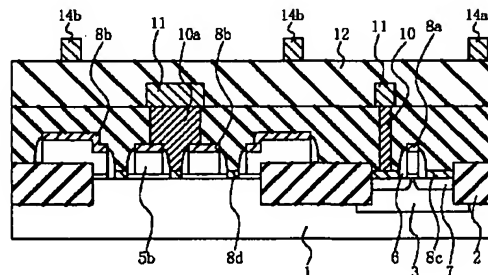
【図10】(a)は、従来例の平面図であり、(b)はAA断面に沿った断面図である。

【図11】従来例における、金属シリサイド108a、108bが形成された段階での平面図である。

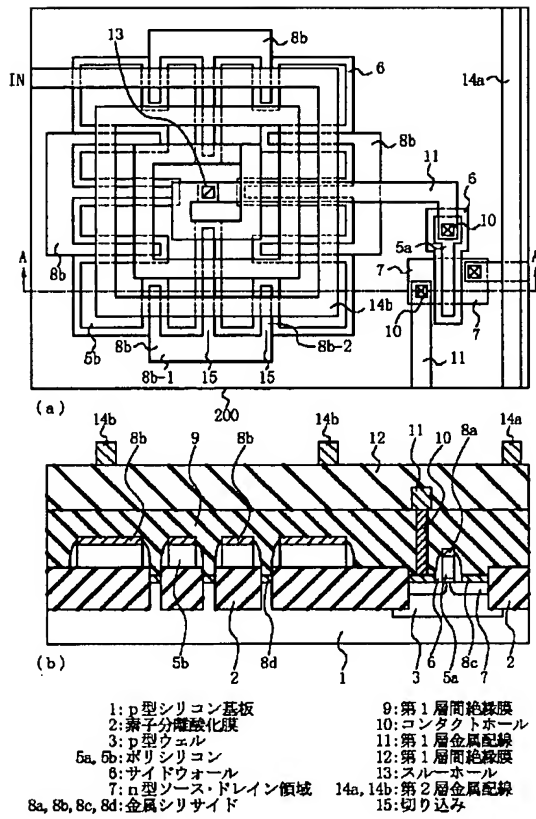
【符号の説明】

- | | |
|----------------------------------|--------------|
| 1, 101 | p型シリコン基板 |
| 2, 102 | 素子分離酸化膜 |
| 3, 103 | p型ウェル |
| 4 | ゲート酸化膜 |
| 5a, 5b, 105a, 105b | ポリシリコン |
| 6, 106 | サイドウォール |
| 7, 107 | n型ソース・ドレイン領域 |
| 8a, 8b, 8c, 8d, 108a, 108b, 108c | 金属シリサイド |
| 9, 109 | 第1層間絶縁膜 |
| 10, 10a, 110 | コンタクトホール |
| 11, 111 | 第1層金属配線 |
| 12, 112 | 第2層間絶縁膜 |
| 13, 113 | スルーホール |
| 14a, 14b, 114a, 114b | 第2層金属配線 |
| 15, 115 | 切り込み |
| 100, 200 | 半導体装置 |

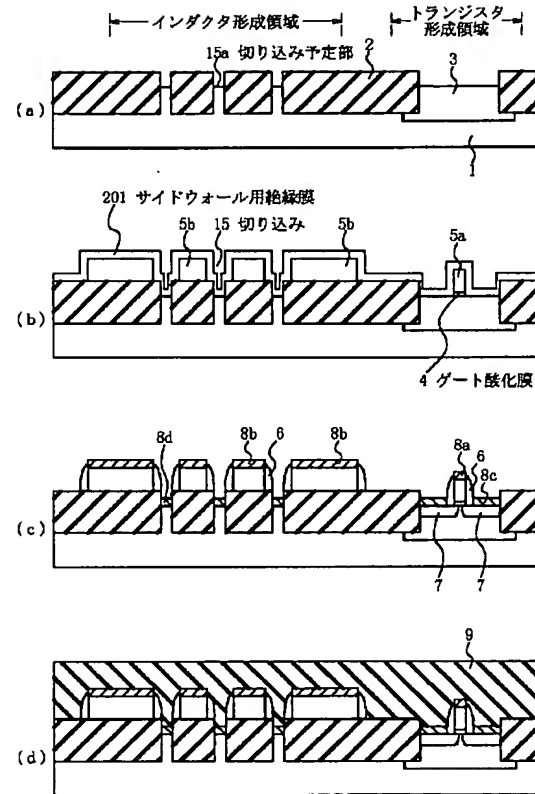
【図8】



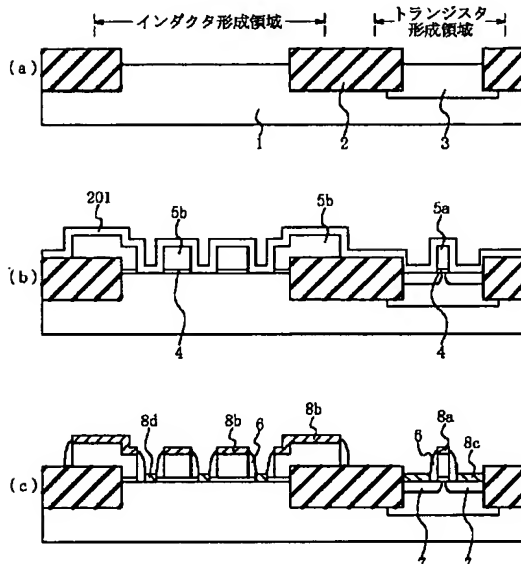
【図1】



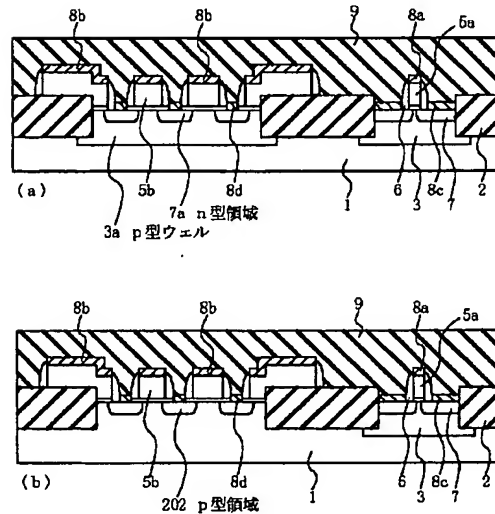
【図2】



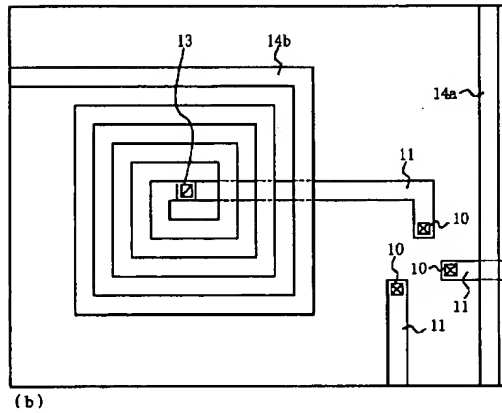
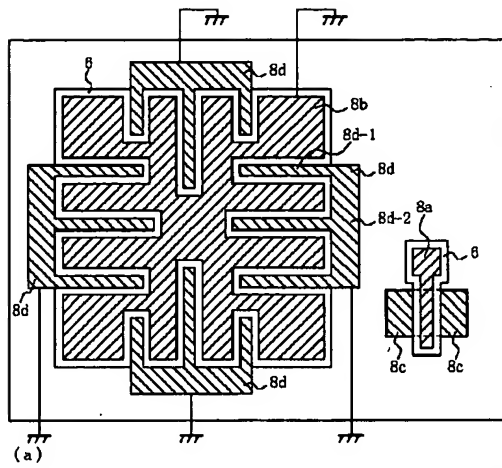
【図5】



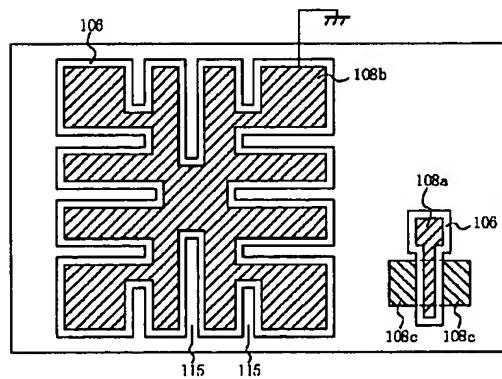
【図6】



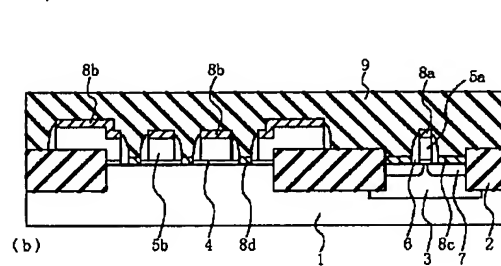
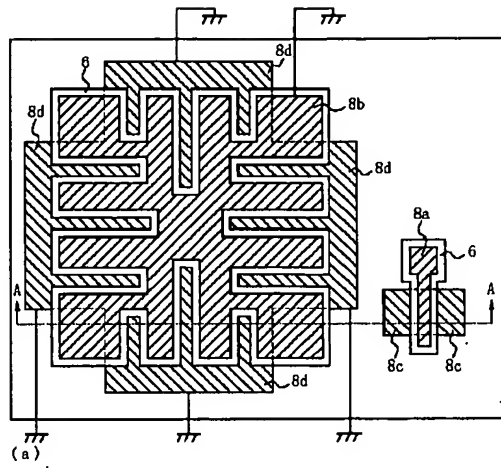
【図3】



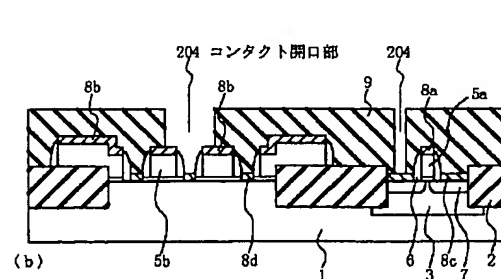
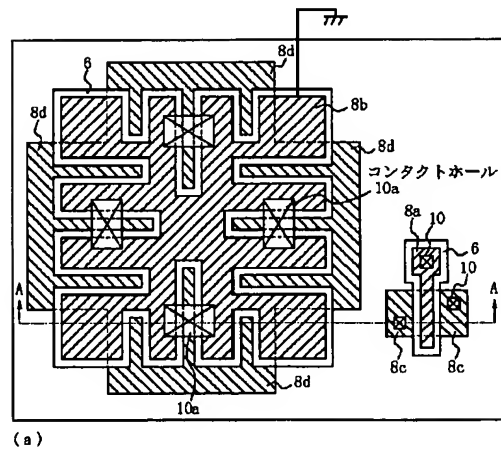
【図11】



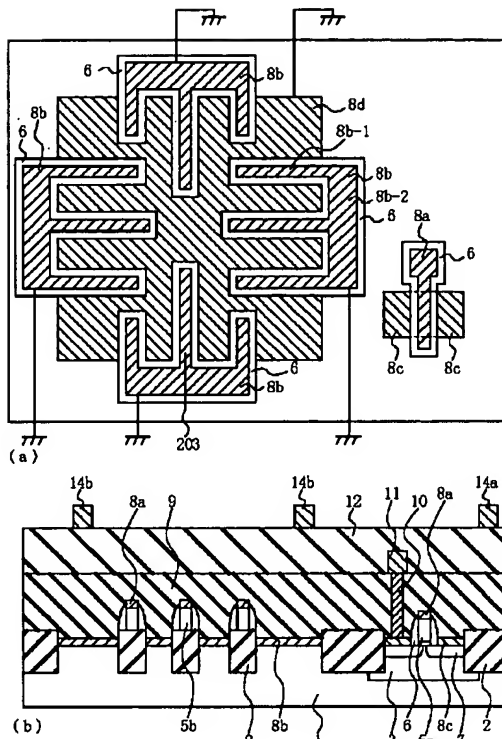
【図4】



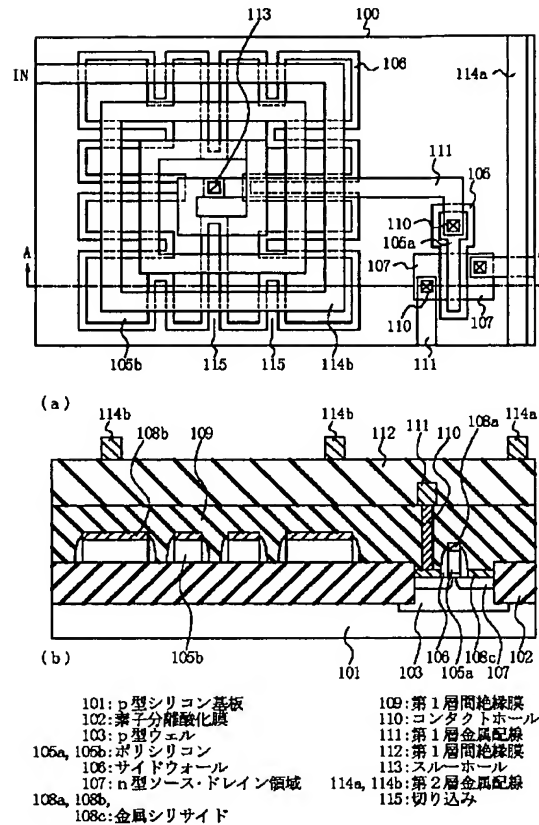
【図7】



【図9】



【図10】



フロントページの続き

(51)Int. Cl.⁷

識別記号

FI

テマコード(参考)

H01L 21/8234

H01L 21/88

S 5F048

27/06

27/06

102A 5K052

H04B 15/00

H05K 9/00

Fターム(参考) 5E058 BB19 BB20 CC13 CC15
5E070 AB01 AB06 CB03 CB12 CB17
DA17
5E321 AA17 AA33 GG05
5F033 HH08 JJ08 KK01 KK04 KK08
KK25 KK26 KK27 MM05 TT08
VV03 VV08 XX23
5F038 AZ04 BH10 BH19 CD18 EZ20
5F048 AC10 BA01 BE04 BF02 BF03
BF06 BF12 BF16 BG01 BG13
5K052 AA02 BB00 DD00 DD19 FF36